BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

Japanese Patent Laid-Open Number 47-24776
Laid-Open Date: October 18, 1972
Application No.: 46-14542
Filing Date: March 16, 1971
Int. Class. No.: 99(5)E2
99(5)C23
99(5)C1

No catalyst of conversion from amorphous to crystalline

Inventor: Hideo Yamanaka and Norio Ito
Applicant: SONY CORPORATION

Specification

(54) Title of Invention: Manufacturing Method of Semiconductor Device

[What is claimed]

A manufacturing method of a semiconductor device wherein: a window is provided on a portion of an insulating layer formed on the surface of a semiconductor substrate with a semiconductor element, on which an electrode should be formed finally; a gettering processing is performed through the window; the insulating layer formed in the above window at the gettering processing is removed by etching with a step difference of the insulating layer of the other portion so that the above window is provided again; and an electrode is equipped through the window.

[Detailed Description of the Invention]

The present invention relates to a manufacturing method of a semiconductor device like a power transistor requiring a gettering processing.

For instance, in the power transistor requiring a diffusion processing at high temperature for a long time in the manufacturing process, metal ion is easy to enter into a semiconductor substrate by a thermal processing at high temperature for a long time so that voltage proof is lowered. Therefore, in such a semiconductor device, an operation of removing the metal ion in an atmosphere of gas by performing a gettering processing after

a thermal diffusion processing, but the manufacturing process of the semiconductor device with the operation is quite complicated.

First, the conventional manufacturing method of the power transistor is explained with Figure 1. Figure shows an example obtaining a NPN type transistor. In this case, a semiconductor region (2) containing high impurity is formed by diffusing N-type impurity overall from one side (1a) of a N-type semiconductor substrate, for instance a silicon substrate (1) (Figure 1-A).

Secondly, a P-type semiconductor region (4), which is a base region with respect to the N-type semiconductor region (3) that a collector region of the portion in which the semiconductor region (2) of the substrate (1) is formed, is formed by diffusing P-type impurity overall from other side (1b) of the substrate (1) (Figure 1-B). This diffusion processing is by a thermal diffusion processing at high temperature for a long time, for instance, at 1250℃ for 17 hours.

A N-type impurity layer (5) is formed by depositing N-type impurity on the P-type semiconductor region (4) (Figure 1-C).

This N-type impurity layer (5) is removed by selective etching except the portion in which an emitter region should be formed (Figure 1-D).

Next, a semiconductor region (6) of a N-type emitter region is formed by diffusing the impurity of the impurity layer (5) into the region (4) by performing the heating processing, for instance, at 1250℃ for 6 hours (Figure 1-E). Thus, a transistor element (t) is formed in which the region (2) is as a taking out region of a collector electrode and regions (3), (4) and (6) are respectively as a collector region, a base region, and an emitter region. Besides, actually, the region (2), (3) and (4) are in common on the common semiconductor substrate (1), and a lot of emitter regions (6) are formed at the same time holding the decided interval on the region (4), so that a lot of transistor elements (t) are formed at the same time on the common substrate (1).

Then, an insulating layer (7) like as SiO_2 is formed by adhering, for instance, to the thickness of about 1 μ on the surface of this semiconductor substrate (1) (Figure 1-F).

The insulating layer (7) on the collector side (1b) of the semiconductor substrate (1), namely, on the semiconductor region (2) with high impurity concentration is removed by

etching (Figure 1-G).

Then, the gettering processing is performed from the side (1b) of the substrate (1). That is to say, for instance, phosphorus P is diffused. Because this gettering processing is performed by heating in an atmosphere of oxygen, the insulating layer (7) on the other side (1a) of the substrate (1) grows further, as well as a thin SiO_2 layer, that is to say the insulating layer (7)', is formed to the thickness of about 1000 to 2000Å on the side (1b) of the substrate (1) (Figure 1-H).

Next, by photo-etching the insulating layers (7) and (7)'on the both sides (1a) and (1b) of the substrate (1) and, windows (8c), (8b) and (8e) for forming electrodes are respectively provided in a portion on the region (2) with high impurity concentration and in portions on the base region (4) and the emitter region (6) of the collector region (Figure 1-I). In this case, the reason why the window (8c) is formed selectively on the insulating layer (7)' is to leave the insulating layer for marking-off, so-called scribing portion for subsequent pelletizing.

A collector electrode (9c), a base electrode (9b) and an emitter electrode (9e) adhere ohmicly to the respective regions (2), (4) and (6) through these windows (8c), (8b) and (8e). Thus, the power transistor (10) of the purpose can be obtained (Figure 1-J).

Then, the substrate (1) is cut and separated to each transistor element (t), that is to say, pelletizing is performed.

However, in case of such a method, as explained in Figure 1-H, because the thickness of the insulating layer (7)' on the side (1a) of the substrate (1) formed at the gettering processing is remarkably thin compared with the thickness of the insulating layer (7) on the other side (1b), and when photo-etching for forming each electrode window ((8c), (8b) and (8e) is performed at the same time with respect to both insulating layers (7)' and (7), the thinner insulating layer (7)' on the side (1a) is overetched. In order to avoid the overetching like this, it is necessary to perform photo-etching on each insulating layer (7) and (7)' in another process so that processes become quite complicated. By the way, the photo-etching has a lot of processes that a previous treatment for the base, coating photosensitive agent, pre-baking, aligning exposure, development, post baking, etching, removing photosensitive agent and cleaning, so that an increase of one process in the

photo-etching extremely prevents from mass-producing.

The present invention offers a manufacturing method of a semiconductor device without a defect like this.

An embodiment of the present invention in case of obtaining a NPN-type power transistor is explained with reference to Figure 2. In this case, for instance, a plurality of transistor elements (t) are formed and arranged at the same time on the common semiconductor substrate (1) through the same processes as explained in Figures 1-A to F. However, only one transistor element (t) is shown in Figure 2. In Figure 2, the same marks are used to identify the portions corresponding to Figure 1 and the repeated explanations are omitted.

In the present invention, windows (18c), (18b) and (18e) are respectively provided on the portions in which a collector electrode, a base electrode and an emitter electrode should be formed finally on the region (2) with high impurity concentration, the base region (4) and the emitter region (6) in an example shown by Figure, by photo-etching with respect to an insulating layer (7) with the same thickness of about 1 μ formed on the sides (1a) and (1b) of the substrate (1) (Figure 2-A).

A gettering processing is performed through these windows (18c), (18b) and (18e) (Figure 2-B). This gettering processing is, for instance, pre-heating in an atmosphere of oxygen at 1160 to 1200℃ for two minutes. Thereafter, a gas of phosphorus (P) is flown for 2 minutes in this heating condition, the supply of phosphorus (P) is stopped and the heating condition is held for several minutes, then annealing is performed. In this annealing, after heating at 750℃ for 5 hours, this heating condition is slowly cooled down to a normal temperature. Then, as is commonly known, metal ions in the substrate (1) are drawn out and the voltage proof is improved. In this case, a thin insulating layer (7)' made of SiO_2 which is formed by oxidizing the surface of the substrate (1) is formed at a thickness of about 1000 to 2000Å in each window (18c), (18b) and (18e), under which a layer (11) where phosphorous P with high concentration is doped is formed.

Next, the thin insulating layer (7)' in the windows (18c), (18b) and (18e) is removed by etching, and the windows (18c), (18b) and (18e) are provided again (Figure 2-C). The insulating layer (7)' is removed by an overall etching by making use of the thickness

which is thinner than that of the insulating layer (7), and by selecting the etching time which cannot remove the thick insulating layer (7) but can remove the thin insulating layer (7)', without using any etching mask.

Because a diffused layer (11) of phosphorus (P) shows N-type, at least it is to be desired that the diffused layer (11) on the base region (4) is removed. Therefore, the diffused layer (11) is removed by light etching with etching liquid for the substrate (1), that is to say, silicon etching liquid, for instance, hydrofluoric acid or alkali etching liquid (Figure 2-D). In this case, because the etching rate of the diffused layer (11) in which phosphorous P with high concentration is doped is high, only this portion can be removed by a short time etching.

Then, each solder electrode which becomes a collector electrode (9c), a base electrode (9b) and an emitter electrode (9e) adheres on a region with high impurity concentration (12), a base region (4) and an emitter region (6) of the collector region (3) through the windows (18c), (18b) and (18e) of the insulating layer (7) caused by removing the insulating layer (7)'. In this case, concave portions (13c), (13b) and (13e) are respectively formed under each window (18c), (18b) and (18e) by removing the diffused layer (11). Therefore, for example, when Ni plating is performed on the concave portions, and the solder electrodes are provided on there, these electrodes can be formed to so thick easily. Thus, the semiconductor device of the purpose, that is to say, the power transistor (12) can be obtained (Figure 2-E).

As mentioned above, according to the present invention, because each window (18c), (18b) and (18e) is opened in the insulating layer with uniform thickness, an overetching is not caused. Also, because the insulating layer (7)' formed in the windows (18c), (18b) and (18e) by the gettering processing can be removed by overall etching, its manufacturing process is extremely simplified, and the profit by an actual application is very great.

Furthermore, the example shown in Figure is the case of obtaining the NPN type power transistor, and it is clear that the same effect can be obtained by applying the present invention to the manufacturing method of a semiconductor device requiring some kinds of gettering including the other type power transistor.

[A brief explanation of Figures]

Figures 1-A to J are enlarged cross sectional views of each process showing the manufacturing method of the conventional power transistor. Figures 2-A to E are enlarged cross sectional views of each process showing an example of the manufacturing method of the semiconductor device by the present invention.

Marks:

(1) semiconductor substrate

(t) transistor element

(3) collector region

(4) base region

(6) emitter region

(7) (7)' insulating layer

(18c)(18b)(18e) windows formed respectively in insulating layer (7)

(9c)(9b)(9e) each electrode of collector, base and emitter

(12) semiconductor device obtained by the manufacturing method of the present invention

(2,600円)

特 許 願 (1)

昭和46年3月16日

特許庁長官 佐々木 学 殿

1. 発明の名称 半導体装置の製造

2. 発明者 神奈川県厚木市旭町4-12-8ソニー寮田2号
山中実雄

(他1名)

3. 特許出願人

東京都品川区北品川6丁目7番35号
(218) ソニー株式会社
代表取締役 井深大

4. 代理人 東京都新宿区西新宿1丁目8番1号 (新宿ビル)
〒163 電話東京(343)5821(代表)
(3388) 弁理士 伊藤

5. 添附書類の目録

(1)	明細書	1通
(2)	図面	1通
(3)	委任状	1通
(4)	出願審査請求書	1通

㉑特願昭46-24512 ⑪特開昭47-24776
㊸公開昭47.(1972)10.18 (全4頁)
審査請求 有

⑲日本国特許庁
⑬公開特許公報

庁内整理番号	㊷日本分類
7113 57	99㈱E2
7113 57	99㈱C23
6962 57	99㈱C1

明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

半導体基子を有する半導体基体表面の絶縁層の最終的に電極を形成すべき部分に窓を穿設し、該窓を通じてゲッタリング処理を施し、該ゲッタリング処理時に上記窓内に形成された絶縁層を他部の絶縁層との厚み差を利用してエッチング除去して上記窓を再び穿設し、該窓を通じて電極付けを行う半導体装置の製法。

発明の詳細な説明

本発明はゲッタリング処理を必要とするパワートランジスタの如き半導体装置の製法に係わる。

例えば製造工程中に高温長時間の拡散処理を必要とするパワートランジスタに於ては、その高温長時間の熱処理によつて半導体基体中に金属イオンが侵入し易く、之が耐圧の低下を来す。之が為、このような半導体装置に於ては、熱拡散処理後にゲッタリング処理を行つて気体中の金属イオンをとり除く作業が行われるが、斯る作業を伴う半導体装置の製造工程は可成り複雑となる。

先ず第1図について従来のパワートランジスタの製造方法について説明しよう。図示の例はNPN型のトランジスタを得る場合であるが、この場合、N型の半導体基体例えばシリコン基体(1)の一方の面(1a)側より全面的にN型の不純物を拡散して高不純物の半導体領域(2)を形成する(第1図A)。

次いで、基体(1)の他方の面(1b)より全面的にP型の不純物を拡散して、基体(1)の半導体領域(2)が形成される部分のコレクタ領域となるN型の半導体領域(3)に対しベース領域となるP型の半導体領域(4)を形成する(第1図B)。この拡散処理は例えば1250℃で17時間の高温長時間の熱拡散処理による。

P型の半導体領域(4)上にN型不純物をデポジットしてN型の不純物層(5)を形成する(第1図C)。

このN型不純物層(5)に対し、選択的エッチングを行つてエミッタ領域を形成すべき部分以外をエッチング除去する(第1図D)。

次いで例えば1250℃、6時間の加熱処理を行つて不純物層(5)の不純物を領域(4)中に拡散してN型のエミッタ領域となる半導体領域(6)を形成する（オ1図E）。斯くすれば、領域(2)をコレクタ電極の取り出し領域としてN領域(3)、(4)、(6)を夫々コレクタ、ベース、エミッタ領域とするトランジスタ素子(t)が形成される。尚、実際上は、共通の半導体基体(1)に領域(2)(3)及び(4)を共通とし、領域(4)上に所要の間隔を保持して多数のエミッタ領域(6)を同時に形成して共通の基体(1)上に多数のトランジスタ素子(t)を同時に多数個形成する。

次いで、この半導体基体(1)の表面に、SiO_2の如き絶縁層(7)を例えば1μ程度の厚みを以つて被着形成する（オ1図F）。

半導体基体(1)のコレクタ側の面（1b）即ち高不純物濃度の半導体領域(2)上の絶縁層(7)をエッチング除去する（オ1図G）。

而して、基体(1)の面（1b）側にグッタリング処理を行う。即ち例えば燐Pの拡散を行う。このグッタリング処理は酸素雰囲気中で加熱されて行わ

れるので基体(1)の面（1b）に厚み1000～2000Å程度の薄いSiO_2層即ち絶縁層(7)'が形成されると共に、基体(1)の他方の面（1a）上の絶縁層(7)が更に成長する（オ1図H）。

次いで、基体(1)の両面（1a）及び（1b）上の絶縁層(7)及び(7)'に対しフオトエッチングを行つて、コレクタ領域の高不純物濃度領域(2)上の一部と、ベース領域(4)及びエミッタ領域(6)上の一部とに夫々電極を形成するための窓(8c)(8b)及び(8e)を穿設する（オ1図I）。この場合、絶縁層(7)'に対しても窓(8c)を選択的に形成する理由は前後のベレンタイズの為の罫書を所謂スクライブ領域に絶縁層を残らせる為である。

之等、窓(8c)(8b)及び(8e)を通じて各領域(2)(4)及び(6)に夫々コレクタ、ベース及びエミッタ各電極(9c)(9b)及び(9e)をオーミックに被着する。斯くすれば目的とするパワートランジスタ(10)が得られる（オ1図J）。

然る後、基体(1)を各トランジスタ素子(t)に対して切断分離する、所謂ベレンタイズを行う。

然るに、斯る方法による場合、オ1図Hについて説明したように、グッタリング処理時に形成された基体(1)の面（1a）上の絶縁層(7)'の厚みは、他方の面（1b）上の絶縁層(7)の厚みに比し相対的に小であるので、両絶縁層(7)'及び(7)に対し各電極窓(8c)及び(8b)(8e)の形成の為のフオトエッチングを同時に行うと、面（1a）側の厚みの小なる絶縁層(7)'に対してはオーバエッチングとなる。斯るオーバエッチングの発生を回避せんとすれば各絶縁層(7)及び(7)'に対し別工程でフオトエッチングを行う必要が生じ、工程が可成り冗長となる。因みにフオトエッチングは下地前処理、感光剤塗布プレベーキング、位置合せ露光、現像、ポストベーキング、エッチング、感光剤除去、洗浄という多くの工程を経るので、斯るフオトエッチングが一工程でも増加することに著しく量産化を阻むことになる。

本発明は、斯る欠点のない半導体装置の製法を提供せんとするものである。

オ2図について本発明の一例をNPN型のパワー

トランジスタを得る場合について説明しよう。この場合に於ても、例えばオ1図A乃至Fについて説明したと同様の工程を経て共通の半導体基体(1)に複数のトランジスタ素子(t)を同時に配列形成する。但し、オ2図に於ては1つのトランジスタ素子(t)のみが示されている。オ2図に於て、オ1図と対応する部分には同一符号を付して重複説明を省略する。

本発明に於ては、基体(1)の面（1a）及び（1b）に形成された1μ程度の大なる同一厚みを有する絶縁層(7)に対し、フオトエッチングを行つてコレクタ領域図示の例では高不純物濃度の領域(2)、ベース領域(4)及びエミッタ領域(6)上の最終的にコレクタ電極、ベース電極及びエミッタ電極を形成すべき部分に夫々窓(18c)、(18b)及び(18e)を穿設する（オ2図A）。

之等窓(18c)(18b)及び(18e)を通じてグッタリング処理を行う（オ2図B）。このグッタリング処理は例えば酸素雰囲気中で1160～1200℃で2分間プレヒートし、その後、この加熱状態で燐

Pの気体を2分間流し、燐Pの供給をとめて数分間加熱状態を保持し、その後アニールを行う。このアニールは750℃で5時間の加熱後、この加熱状態から常温まで17時間で徐冷する。斯くすると、周知のように基体(1)中の金属イオンが吸い出され、耐圧が向上する。この場合各窓(18c)(18b)及び(18e)内に基体(1)の表面が酸化されることによつて形成されたSiO₂より成る1000～2000Å程度の薄い絶縁層(7)'が形成され、之の下に燐Pが高い濃度を以つてドープされた層(11)が形成される。

次いで窓(18c)(18b)及び(18e)内の薄い絶縁層(7)'をエッチング除去して、再び窓(18c)(18b)及び(18e)を穿設する(オ2図C)。この絶縁層(7)'のエッチング除去は、之の厚みが絶縁層(7)の厚みより小であることを利用し、そのエッチング時間を厚みの小なる絶縁層(7)'は除去し得るも、厚みの大なる絶縁層(7)は除去されることのない時間に選定することによつて、何らエッチングマスクを用いることなく、全面的エッチングによつて行う。

(7)

目的とする半導体装置即ちパワートランジスタ(12)が得られる(オ2図E)。

上述の如く、本発明によれば厚みの均一の絶縁層に対し各窓(18c)(18b)(18e)を開けるものであるからオーバエッチングの生ずることがなく、又、ゲッタリング処理によつて窓(18c)(18b)及び(18e)内に形成された絶縁層(7)'の除去は全面エッチングによつて行い得るので、その製造工程は極めて簡略化され、実際に適用してその利益は甚大である。

尚、図示の例はNPN型のパワートランジスタを得る場合について述べたが、他の型のパワートランジスタを始めとして各種のゲッタリングを必要とする半導体装置の製法に適用して同様の効果を得ることができることは明らかであろう。

図面の簡単な説明

オ1図A乃至Jは従来のパワートランジスタの製法を示す各工程の拡大断面図、オ2図A乃至Eは本発明による半導体装置の製法の一例を示す各工程の拡大断面図である。図中(1)は、半導体基体、(2)はトランジスタ素子、(3)はそのコレクタ領域、

(9)

燐Pの拡散層(11)は、N型を呈するので、少くともベース領域(4)上の拡散層(11)は、之を除去することが望まれる。之がため、基体(1)に対するエッチング液即ちシリコンのエッチング液、例えば弗酸系或いはアルカリ系のエッチング液にて軽いエッチングを行つて拡散層(11)を除去する(オ2図D)。この場合、燐Pが高濃度を以つてドープされている拡散層(11)のエッチング速度は早いので短時間のエッチングでこの部分のみを除去することができる。

次いで、絶縁層(7)'の除去によつて生じた絶縁層(7)の窓(18c)(18b)及び(18e)を通じてコレクタ領域(3)の高不純物濃度領域(12)、ベース領域(4)及びエミッタ領域(6)上に夫々コレクタ電極(9c)、ベース電極(9b)、エミッタ電極(9e)となる各半田電極を被着する。この場合、拡散層(11)の除去によつて各窓(18c)(18b)及び(18e)下には夫々凹部(13c)(13b)及び(13e)が形成されているので、此処に例えばNiメッキを施し、その上に半田電極を盛る場合、この電極を大なる厚みに盛ることが容易にできる。斯くして

(8)

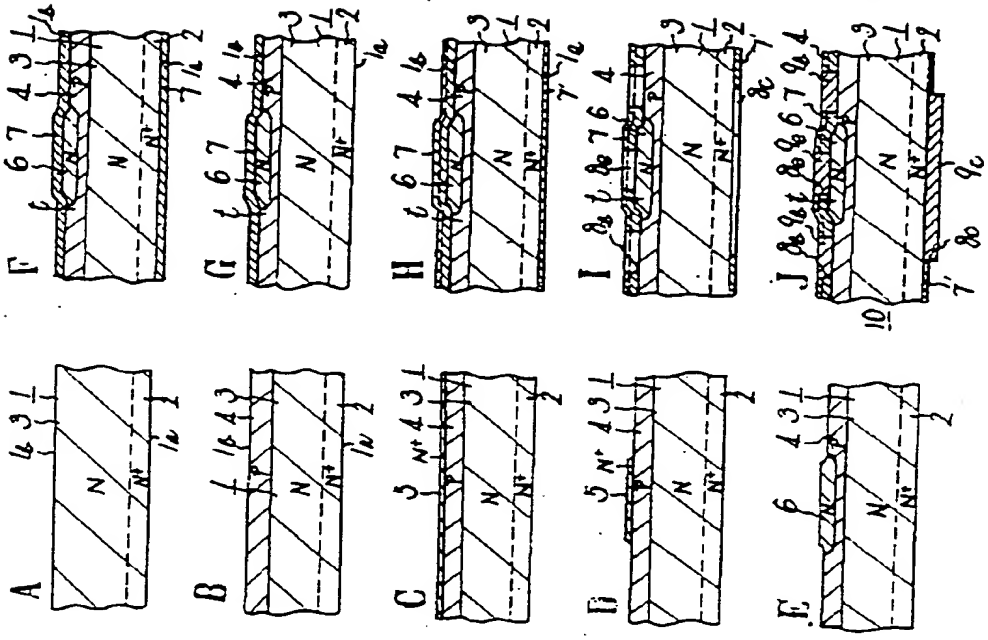
(4)はベース領域、(6)はエミッタ領域、(7)及び(7)'は絶縁層、(18c)(18b)及び(18e)は夫々絶縁層(7)に形成された窓、(9c)(9b)及び(9e)は夫々コレクタ、ベース及びエミッタの各電極、(12)は本発明製法によつて得た半導体装置である。

特許出願人　ソニー株式会社

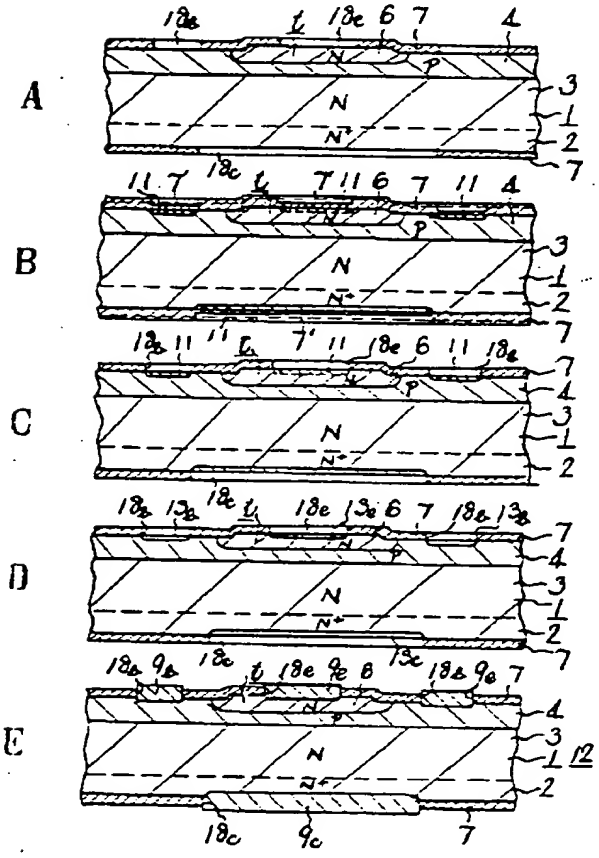
代理人　伊藤

(10)

第1図



第2図



6. 前記以外の発明者、特許出願人または代理人

(1) 発　明　者

住　所（居所）　神奈川県厚木市旭町4－12－8シュー岡田2号

氏　名　伊藤知雄

住　所（居所）

氏　名

住　所（居所）

氏　名

住　所（居所）

氏　名

(2) 特許出願人

住　所（居所）

氏　名（名称）
（国籍）

住　所（居所）

氏　名（名称）
（国籍）

(3) 代　理　人